

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
KUSUNOKI et al. )  
Application Number: To be assigned )  
Filed: Concurrently Herewith )  
For: DISPLAY DEVICE )  
ATTORNEY DOCKET NO. AETE.0004 )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

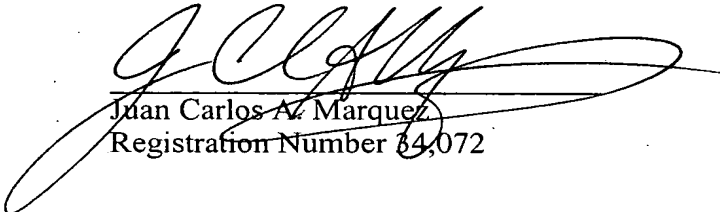
In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority dates of December 26, 2002, May 14, 2003 and October 14, 2003, the filing dates of the corresponding Japanese patent applications.

Certified copies of Japanese patent application 2002-375855 to claim the priority date of December 26, 2002, Japanese applications 2003-135267, 2003-135268, and 2003-135269 to claim the priority date of May 14, 2003, and Japanese application 2003-354161 to claim the priority date of October 14, 2003 are being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,

\_\_\_\_\_  
Stanley P. Fisher  
Registration Number 24,344

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
**December 1, 2003**

  
\_\_\_\_\_  
Juan Carlos A. Marquez  
Registration Number 64,072

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 2 年 1 2 月 2 6 日  
Date of Application:

出 願 番 号                    特 願 2 0 0 2 - 3 7 5 8 5 5  
Application Number:  
[ST. 10/C] :                    [ J P 2 0 0 2 - 3 7 5 8 5 5 ]

出      願      人                    株式会社日立製作所  
Applicant(s):

2 0 0 3 年 1 0 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02018501A

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/22

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

【氏名】 楠 敏明

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

【氏名】 佐川 雅一

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

【氏名】 鈴木 睦三

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

下部電極と上部電極、その間に挟持される電子加速層を有し、該下部電極と該上部電極間に電圧を印加することで該上部電極側より電子を放出する薄膜型電子源アレイと、蛍光面を有する画像表示装置において、電子加速層は、1本の下部電極と、下部電極と直交する2本のストライプ電極に挟まれた空間の直交部に形成され、該ストライプ電極の少なくとも1本は電子加速層側の電極端で上部電極と接続され、2本のストライプ電極の電子加速層と反対側の電極端では庇構造によって上部電極を切断していることを特徴とする薄膜型電子源アレイを用いた画像表示装置。

【請求項 2】

上部電極に接続しないストライプ電極上に、薄膜型電子源アレイ基板と蛍光面基板間を支持するスペーサを配置することを特徴とする請求項1記載の薄膜型電子源アレイを用いた画像表示装置。

【請求項 3】

下部電極と上部電極、その間に挟持される電子加速層を有し、該下部電極と該上部電極間に電圧を印加することで該上部電極側より電子を放出する薄膜型電子源アレイと、蛍光面を有する画像表示装置において、電子加速層は、1本の下部電極と、下部電極と直交する2本のストライプ電極に挟まれた空間の直交部の一部に形成され、上部電極は該2本のストライプ電極の両方と電子加速層側の電極端で接続され、2本のストライプ電極の電子加速層と反対側の電極端では庇構造によって上部電極を切断されており、さらに該ストライプ電極と平行する第3のストライプ電極を有しており、その上に薄膜型電子源アレイ基板と蛍光面基板間を支持するスペーサが配置されていることを特徴とする薄膜型電子源アレイを用いた画像表示装置。

【請求項 4】

下部電極と上部電極、その間に挟持される電子加速層を有し、該下部電極と該上

部電極間に電圧を印加することで該上部電極側より電子を放出する薄膜型電子源アレイを有する第1の基板と、蛍光面を有する第2の基板とを有する表示パネルと、駆動回路とを有する画像表示装置において、  
該薄膜型電子源アレイをマトリクス状に配置した画像表示領域内においては、行方向配線および列方向配線の何れか一方をストライプ状パターンにしたことを特徴とする薄膜型電子源アレイを用いた画像表示装置。

#### 【請求項5】

下部電極と上部電極、その間に挟持される電子加速層を有し、該下部電極と該上部電極間に電圧を印加することで該上部電極側より電子を放出する薄膜型電子源アレイを有する第1の基板と、蛍光面を有する第2の基板とを有する表示パネルと、駆動回路とを有する画像表示装置において、  
該薄膜型電子源アレイをマトリクス状に配置した画像表示領域内においては、行方向配線および列方向配線をストライプ状パターンにしたことを特徴とする薄膜型電子源アレイを用いた画像表示装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、自発光型フラットパネルディスプレイに係り、特に、薄膜型電子源アレイを用いた画像表示装置に関する。

##### 【0002】

#### 【従来の技術】

微少で集積可能な冷陰極を利用するディスプレイは、FED(Field Emission Display)と呼称される。冷陰極には、電界放出型電子源とホットエレクトロン型電子源に分類され、前者には、スピント型電子源、表面伝導型電子源、カーボンナノチューブ型電子源等が属し、後者には金属—絶縁体—金属を積層したMIM (Metal-Insulator-Metal) 型、金属—絶縁体—半導体を積層したMIS (Metal-Insulator-Semiconductor) 型、金属—絶縁体—半導体—金属型等の薄膜型電子源がある。MIM型については例えば特開平7-65710号、金属—絶縁体—半導体型についてはMOS型 (J. Vac. Sci. Technol. B11 (2) p.429-432 (1993) )、金属—絶縁体—

半導体－金属型ではHEED型(high-efficiency-electro-emission device、Jpn. J. Appl. Phys.、vol 36、p L939などに記載)、EL型(Electroluminescence、応用物理 第63巻、第6号、592頁などに記載)、ポーラスシリコン型(応用物理 第66巻、第5号、437頁などに記載)などが報告されている。

MIM型電子源については、例えば特開平10-153979号に開示されている。MIM型電子源の構造と動作原理を図2に示す。上部電極13と下部電極11との間に駆動電圧 $V_d$ を印加して、絶縁層12内の電界を1～10MV/cm程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、電子加速層である絶縁層12の伝導帯へ注入されホットエレクトロンとなり、上部電極13の伝導帯へ流入する。これらのホットエレクトロンのうち、上部電極13の仕事関数 $\phi$ 以上のエネルギーをもって上部電極13表面に達したものが真空21中に放出される。

### 【0003】

#### 【発明が解決しようとする課題】

画像表示装置などに適用する薄膜型電子源アレイは、低コスト化を実現するため、簡易な構造とプロセスで製造できることが望ましい。薄膜型電子源は面状電子源であり、電界放出型電子源のように電界を集中させるための微細構造が不要である。そのため、薄膜型電子源のデバイスサイズは画素ピッチレベルと大きくすることができるので、高精度のパターニングは不要であり、安価な製造装置が使える。

パターン化加工においては、縦方向および横方向の2方向にパターン合わせ精度を要求されるパターンに比べて、縦方向または横方向のいずれか1方向のみしかパターン合わせ精度を必要としないパターンを用いると、更に加工が容易になる。本明細書ではこのように1方向のみしかパターン合わせ精度を必要としない形状を、1次元方向にのみ精度が必要という意味で「ストライプ状」または「ストライプ形状」と呼ぶ。またストライプ状パターンの電極を「ストライプ電極」とあるいは「ストライプ状電極」と呼ぶ。

特にパターン化方法としてスクリーン印刷などの印刷法を用いる場合には、ストライプ状パターンは、パターンの伸びを許容するので、好ましい。

電子源基板を、電子源をマトリクス状に配置した画像表示領域と、端子取り出し

部などを配置する周辺領域とに分けて考える。画像表示領域では、周辺領域に比べて加工精度およびパターン合わせ精度が一般に高い。したがって、画像表示領域内のパターン形状をストライプ状にすることが大切である。周辺領域は加工精度が緩く、合わせパターン数も一般にすくないので、ストライプ状でにする必要は必ずしも無い。

一方、薄膜型電子源は電子加速層上にホットエレクトロンが透過できる薄い上部電極を形成する。上部電極を加工する際には電子加速層にダメージを与えず、かつ電子放出を妨げないように、上部電極をレジストなどで汚染しないで加工しなければならない。そのため、上部電極を自己整合的に分離する方法が好ましい。さらに、FEDとして使用するには電子源基板と蛍光面基板を支持するスペーサが必要である。スペーサは帯電を防止するため導電処理を施す必要があり、さらにそれぞれの基板で電位を固定するための電極に接続されている必要がある。したがってFEDに薄膜型電子源アレイを用いる場合にも、薄膜型電子源アレイ中にスペーサ電極を設けることが好ましい。

#### 【0004】

##### 【課題を解決するための手段】

本発明の目的は、薄膜型電子源の電子加速層を、上部電極を自己整合的に分離できる機能を持った2本のストライプ電極間に挟み、さらに2本のうちの一方のストライプ電極上、もしくは第3のストライプ電極上にスペーサを配置することにより実現することができる。

#### 【0005】

##### 【発明の実施の形態】

##### (第1の実施例)

上記目的を実現する本発明の第一の実施の形態をMIM電子源を例に図3～12、図1で説明する。

はじめにガラス等の絶縁性の基板10上に下部電極11用の金属膜を成膜する(図3)。下部電極11の材料としてはAlやAl合金を用いる。AlやAl合金を用いたのは、陽極酸化により良質の絶縁膜を形成できるからである。ここでは、Ndを2原子量%ドープしたAl-Nd合金を用いた。成膜には例えば、スパッタリング法を用いる。



膜厚は300 nmとした。成膜後はパターンニング工程、エッチング工程によりストライプ形状の下部電極11を形成した(図4)。電極幅は画像表示装置のサイズや解像度により異なるが、そのサブピクセルピッチ程度、大体100~200ミクロン程度とする。エッチングは例えば燐酸、酢酸、硝酸の混合水溶液でのウェットエッチングを用いる。この電極は幅の広い簡易なストライプ構造のため、電極のパターンニングは安価なプロキシミティ露光や、印刷法などで行うことができる。

次に、電子放出部を制限し、下部電極エッジへの電界集中を防止する保護絶縁層14と、絶縁層12を形成する。まず下部電極11上の電子放出部となる部分をレジスト膜25でマスクし、その他の部分を選択的に厚く陽極酸化し、保護絶縁層14とする(図5)。化成電圧を100Vとすれば、厚さ約136 nmの保護絶縁層14が形成される。つぎにレジスト膜25を除去し残りの下部電極11の表面を陽極酸化する。例えば化成電圧を6Vとすれば、下部電極11上に厚さ約10 nmの絶縁層12が形成される(図6)。下部電極の表面を陽極酸化により酸化し、絶縁層12を形成する。化成電圧を4Vとすれば、厚さ約10nmの絶縁層12を形成することができる。なお、保護絶縁層14は後に形成する層間絶縁層を100nm程度以上と十分厚く形成すれば省略することが可能である。本実施例では省略し、下部電極の表面を陽極酸化により酸化し、絶縁層12を形成した例(図7)について今後示す。

次に層間膜15と、上部電極13への給電線となる上部バス電極、およびスペーサを配置するためのスペーサ電極となる金属膜を例えばスパッタリング法等で成膜する(図8)。層間膜15としては、例えばシリコン酸化物やシリコン窒化膜、シリコンなどを用いることができる。ここでは、シリコン窒化膜を用い膜厚は100nmとした。この層間膜15は、陽極酸化で形成する保護絶縁層14にピンホールがあった場合、その欠陥を埋め、下部電極11と上部バス電極間の絶縁を保つ役割を果たす。金属膜は積層構造とし、金属膜下層16として例えばAl-Nd合金、金属膜上層17として例えばCuやCrなどの各種の金属材料を用いることができる。ここでは金属膜下層16にAl-Nd合金、金属膜上層17としてCuを用いた。

続いて、パターンニングとエッチング工程により金属膜上層17を、下部電極11とは直交するストライプ電極に加工する。ストライプ電極は1ピクセル中で2本形成する(図9)。

続いて、パターニングとエッチング工程により金属膜下層16を、下部電極11とは直交するストライプ電極を2本形成する(図10)。そのうちの1本は、ピクセルの内側方向で金属膜上層17より張り出させて、後の工程で上部電極との接続を確保するコンタクト電極20とし、ピクセルの外側方向では金属膜上層17をマスクとしてアンダーカットを形成し、後の工程で上部電極13を分離するマスクとなるように形成する。これにより上部電極13への給電を行う上部バス電極18を形成することができる。一方、もう1つのストライプ電極はピクセルの内側方向、外側方向とも金属膜上層17をマスクとしてアンダーカットを形成し、上部電極13を分離するマスクとなるように形成する。この電極は最終的にスペーサを配置するスペーサ電極19となる。

続いて層間膜15を加工し、電子放出部を開口する。電子放出部はピクセル内の1本の下部電極11と、下部電極11と直交する2本のストライプ電極に挟まれた空間の直交部の一部に形成する。エッチングは、例えば $\text{CF}_4$ や $\text{SF}_6$ を主成分とする用いたドライエッチングによって行うことができる(図12)。

最後に上部電極13膜の成膜を行う。成膜法は例えばスパッタ成膜を用いる。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は例えば6 nmとした。この時、上部電極13は、2本のストライプ電極の外側で、アンダーカットにより切断され、各ピクセル毎に分離される。一方、電子加速層側では、金属膜下層16のコンタクト電極20により断線を起こさずに接続され、層間膜15上を経て、絶縁層12を覆い給電される構造となる(図13)。

図1は本発明の陰極を用いたディスプレイの一部を示したものである。

表示側基板はコントラストを上げる目的のブラックマトリクス120、色蛍光体111、緑色蛍光体112と青色蛍光体113とからなる。蛍光体としては、例えば赤色に $\text{Y}_2\text{O}_2\text{S}:\text{Eu}$ (P22-R)、緑色に $\text{ZnS}:\text{Cu}, \text{Al}$ (P22-G)、青色に $\text{ZnS}:\text{Ag}, \text{Cl}$ (P22-B)を用いる。

スペーサ30は、陰極基板のスペーサ電極19上に配置し、蛍光面基板のブラックマトリクス120の下に隠れるように配置する。下部電極11は信号線回路50へ結線し、上部バス電極18は走査線回路60に結線する。スペーサ電極19は通常接地しておく。

このように、本発明の陰極構造では、下部電極11、上部バス電極18、スペーサ電

極19、コンタクト電極20が簡単なストライプ電極により形成され、さらに上部電極13を自己整合的に分離できる機能が備わっており、安価で精度の低いパターンニング方法により電極を形成することができる。

(第2の実施例)

上記目的を実現する本発明の第2の実施の形態をMIM電子源を例に図3～8、図13～23で説明する。

はじめに実施例1と同様に図3～8に従って、下部電極11、絶縁層12、層間膜15、金属膜下層16、金属膜上層17を形成する。

続いて、パターンニングとエッチング工程により金属膜上層17を、下部電極11とは直交するストライプ電極に加工する。ストライプ電極は1ピクセル中で3本形成する(図13)。

続いて、パターンニングとエッチング工程により金属膜下層16を、下部電極11とは直交するストライプ電極を3本形成する(図14)。そのうちの2本は、ピクセルの内側方向で金属膜上層17より張り出させて、後の工程で上部電極13との接続を確保するコンタクト部とし、ピクセルの外側方向では金属膜上層17をマスクとしてアンダーカットを形成し、後の工程で上部電極13を分離するマスクとなるように形成する。これにより上部電極13への給電を行う上部バス電極19を形成することができる。一方、もう1つのストライプ電極はピクセルの内側方向、外側方向とも金属膜上層17をマスクとしてアンダーカットを形成し、上部電極13を分離するマスクとなるように形成する。この電極は最終的にスペーサを配置するスペーサ電極20となる。

続いて層間膜15を加工し、電子放出部を開口する(図15)。電子放出部はピクセル内の1本の下部電極11と、下部電極11と直交し、コンタクト電極20を形成した2本のストライプ電極に挟まれた空間の直交部の一部に形成する。エッチングは、例えばCF<sub>4</sub>やSF<sub>6</sub>を主成分とする用いたドライエッチングによって行うことができる。

最後に上部電極13膜の成膜を行う(図16)。成膜法は例えばスパッタ成膜を用いる。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は例えば6 nmとした。この時、上部電極13は、コンタクト部を形成した2本のストライプ電極の

外側で、アンダーカットにより切断され、各ピクセル毎に分離される。一方、電子加速層側では、金属膜下層16のコンタクト電極20により断線を起こさずに接続され、層間膜上を経て、絶縁層12を覆い給電される構造となる。

上記の陰極構造では保護絶縁層14を用いない例を示したが、図17～22に示すように保護絶縁層14を形成する構造も適用することができる。

図23は本発明の陰極を用いたディスプレイの一部を示したものである。

本実施例の陰極を用いる場合、実施例1とは異なり、電子放出部がスペーサ電極19に近接しないため、スペーサ30の位置合わせが容易になり、また蛍光体の開口率を大きくしやすい。さらにスペーサ30への流入電子量が減ることから帯電しにくくなるなどの利点がある。

下部電極11は信号線回路50へ結線し、上部バス電極19は走査線回路60に結線する。スペーサ電極20は通常接地しておく。

このように、本実施例の陰極構造では、下部電極11、上部バス電極18、スペーサ電極19、コンタクト電極20が簡単なストライプ電極により形成され、さらに上部電極13を自己整合的に分離できる機能が備わっており、安価で精度の低いパターンニング方法により電極を形成することができる。さらにスペーサ30の位置合わせや蛍光面の開口率拡大も有利となる。

### (第3の実施例)

上記目的を実現する本発明の第3の実施の形態をMIM電子源を例に図3～7、図18、図23～26で説明する。

はじめに図3～6に従い、下部電極11、保護絶縁層14、絶縁層12、層間膜15、金属膜下層16、金属膜上層17を形成する。絶縁層12の形成は省略し、後の工程で形成してもよい。ここでは省略した工程を示す。また金属層は本実施例では積層構造としたが、単層でもよい。

続いて、図18、図19に従い、パターンニングとエッチング工程により金属膜上層18、金属膜下層17を、下部電極11とは直交するストライプ電極に加工する。ストライプ電極は1ピクセル中で実施例1、または2と同様に2本または3本形成する。ここでは3本形成した。単層の金属膜を用いるときはテーパ状に加工を行う。積層金属膜を用いる場合は実施例1乃至2と同様の方法によりコンタクト電極

20を形成する。

続いて層間膜15を加工する（図24）。本実施例では実施例1乃至2と同様に、ピクセル内の1本の下部電極11と、下部電極11と直交し、コンタクト部を形成した2本のストライプ電極に挟まれた空間の直交部の一部に電子放出部を開口すると共に、ピクセルの外側方向では金属膜上層17および金属膜下層16をマスクとしてアンダーカットを形成し、後の工程で上部電極13を分離するマスクとなるように形成する。エッチングは、例えばCF<sub>4</sub>やSF<sub>6</sub>を主成分とする用いたドライエッチングによって行うことができる。

次に絶縁層12を形成する（図25）。例えば化成電圧を6Vとすれば、下部電極11上に厚さ約10 nmの絶縁層12が形成される

最後に上部電極13膜の成膜を行う（図26）。成膜法は例えばスパッタ成膜を用いる。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は例えば6 nmとした。この時、上部電極13は、コンタクト電極20を形成した2本のストライプ電極の外側で、アンダーカットにより切断され、各ピクセル毎に分離される。一方、電子加速層側では、金属膜下層16のコンタクト部20により断線を起こさずに接続され、層間膜15上を経て、絶縁層12を覆い給電される構造となる（図23）。

図1は本発明の陰極を用いたディスプレイの一部を示したものである。

表示側基板はコントラストを上げる目的のブラックマトリクス120、色蛍光体111、緑色蛍光体112と青色蛍光体113とからなる。蛍光体としては、例えば赤色にY<sub>2</sub>O<sub>3</sub>S:Eu(P22-R)、緑色にZnS:Cu, Al(P22-G)、青色にZnS:Ag, Cl(P22-B)を用いる。

スペーサ30は、陰極基板のスペーサ電極20上に配置し、蛍光面基板のブラックマトリクス120の下に隠れるように配置する。下部電極11は信号線回路50へ結線し、上部バス電極18は走査線回路60に結線する。スペーサ電極19は通常接地しておく。

このように、本発明の陰極構造では、下部電極11、上部バス電極18、スペーサ電極19、コンタクト電極20が簡単なストライプ電極により形成され、さらに上部電極11を自己整合的に分離できる機能が備わっており、安価で精度の低いパターンニング方法により電極を形成することができる。特に本実施例の陰極を用いる場合、実施例1乃至2とは異なり、上部電極11を自己整合的に分離するマスクの側壁

が層間絶縁層15となるため、上部電極11の分離不良が起こりにくい特徴がある。

**【 0 0 0 6 】**

**【発明の効果】**

以上により、パターンニングの容易なストライプ電極を用いて薄膜電子源を作成することができ、さらに上部電極を自己整合的に加工することができるので、高歩留まりで低コストの画像表示装置を実現することができる。

**【図面の簡単な説明】**

**【図 1】**

本発明の薄膜型電子源を用いた表示装置を示す図である。

**【図 2】**

薄膜型電子源の動作原理を示す図である。

**【図 3】**

本発明の薄膜型電子源の製法を示す図である。

**【図 4】**

本発明の薄膜型電子源の製法を示す図である。

**【図 5】**

本発明の薄膜型電子源の製法を示す図である。

**【図 6】**

本発明の薄膜型電子源の製法を示す図である。

**【図7】**

本発明の薄膜型電子源の製法を示す図である。

**【図8】**

本発明の薄膜型電子源の製法を示す図である。

**【図9】**

本発明の薄膜型電子源の製法を示す図である。

**【図10】**

本発明の薄膜型電子源の製法を示す図である。

**【図11】**

本発明の薄膜型電子源の製法を示す図である。

## 【図12】

本発明の薄膜型電子源の製法を示す図である。

## 【図13】

本発明の薄膜型電子源の製法を示す図である。

## 【図14】

本発明の薄膜型電子源の製法を示す図である。

## 【図15】

本発明の薄膜型電子源の製法を示す図である。

## 【図16】

本発明の薄膜型電子源の製法を示す図である。

## 【図17】

本発明の薄膜型電子源の製法を示す図である。

## 【図18】

本発明の薄膜型電子源の製法を示す図である。

## 【図19】

本発明の薄膜型電子源の製法を示す図である。

## 【図20】

本発明の薄膜型電子源の製法を示す図である。

## 【図21】

本発明の薄膜型電子源の製法を示す図である。

## 【図22】

本発明の薄膜型電子源の製法を示す図である。

## 【図23】

本発明の薄膜型電子源を用いた表示装置を示す図である。

## 【図24】

本発明の薄膜型電子源の製法を示す図である。

## 【図25】

本発明の薄膜型電子源の製法を示す図である。

## 【図26】

本発明の薄膜型電子源の製法を示す図である。

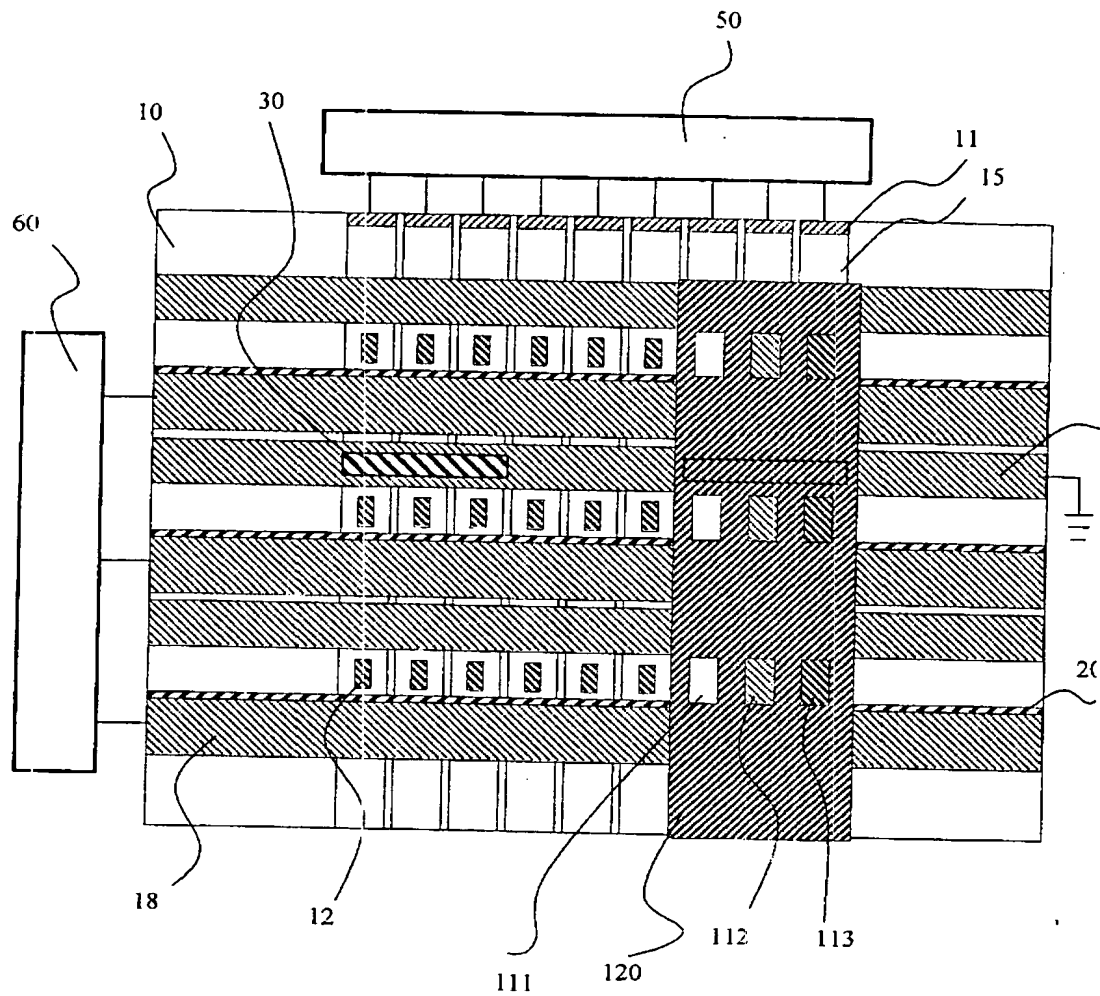
【符号の説明】

10・・・基板、11・・・下部電極、12・・・絶縁層、13・・・上部電極、14・・・保護絶縁層、15・・・層間膜、16・・・金属膜下層、17・・・金属膜上層、18・・・上部バス電極、19・・・スペーサ電極、20・・・コンタクト電極、21・・・真空、25・・・レジスト膜、30・・・スペーサ、50・・・下部電極駆動回路、60・・・上部電極駆動回路、111・・・赤色蛍光体、112・・・緑色蛍光体、113・・・青色蛍光体、120・・・ブラックマトリクス。

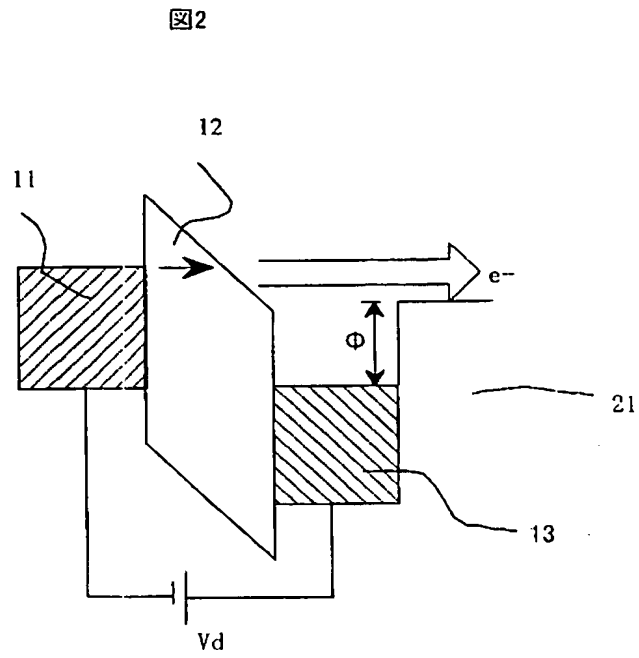


【書類名】 図面

【図 1】

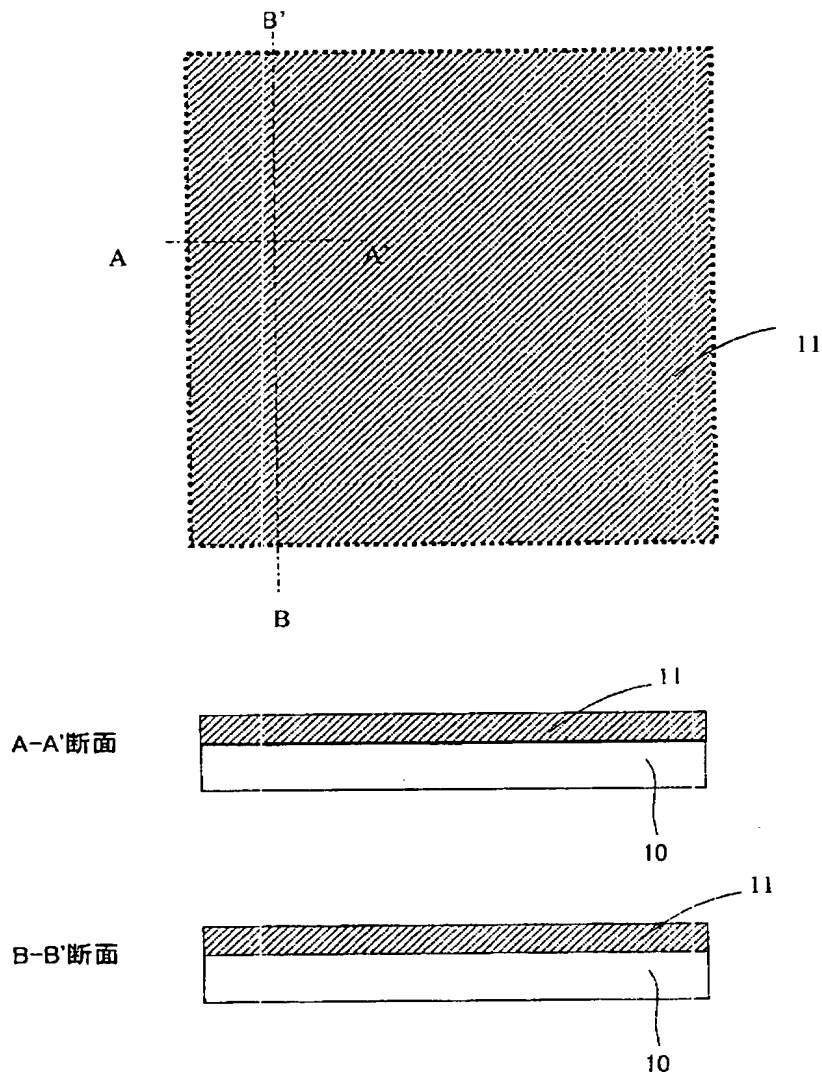


【図 2】



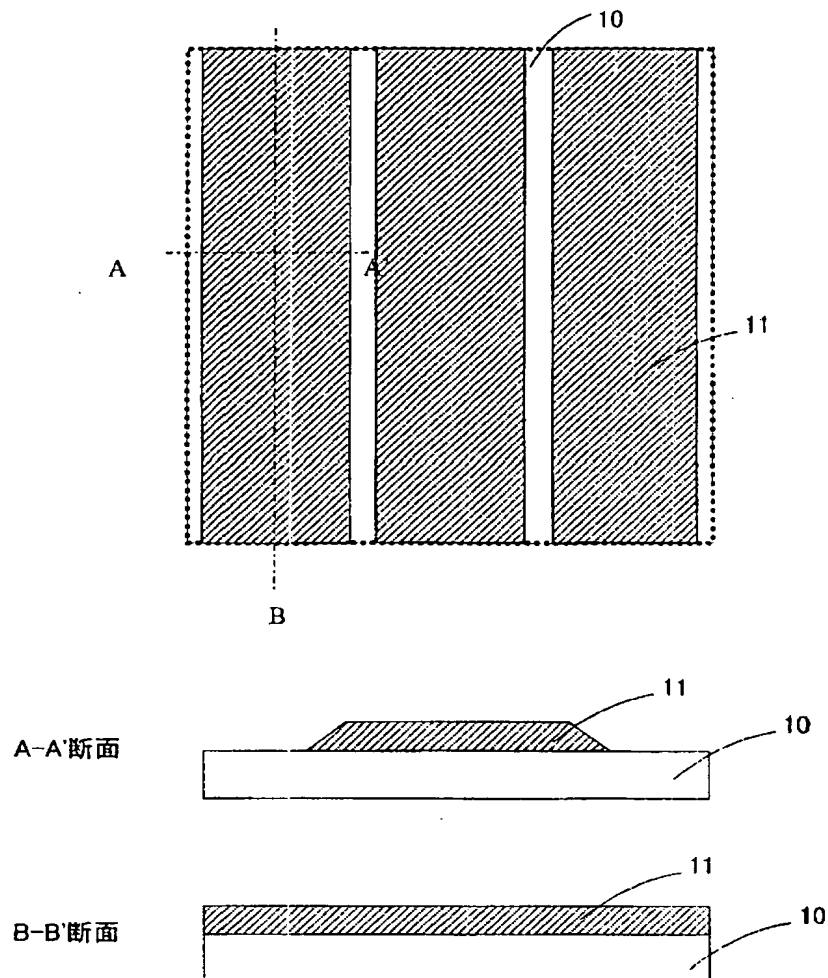
【図 3】

図3



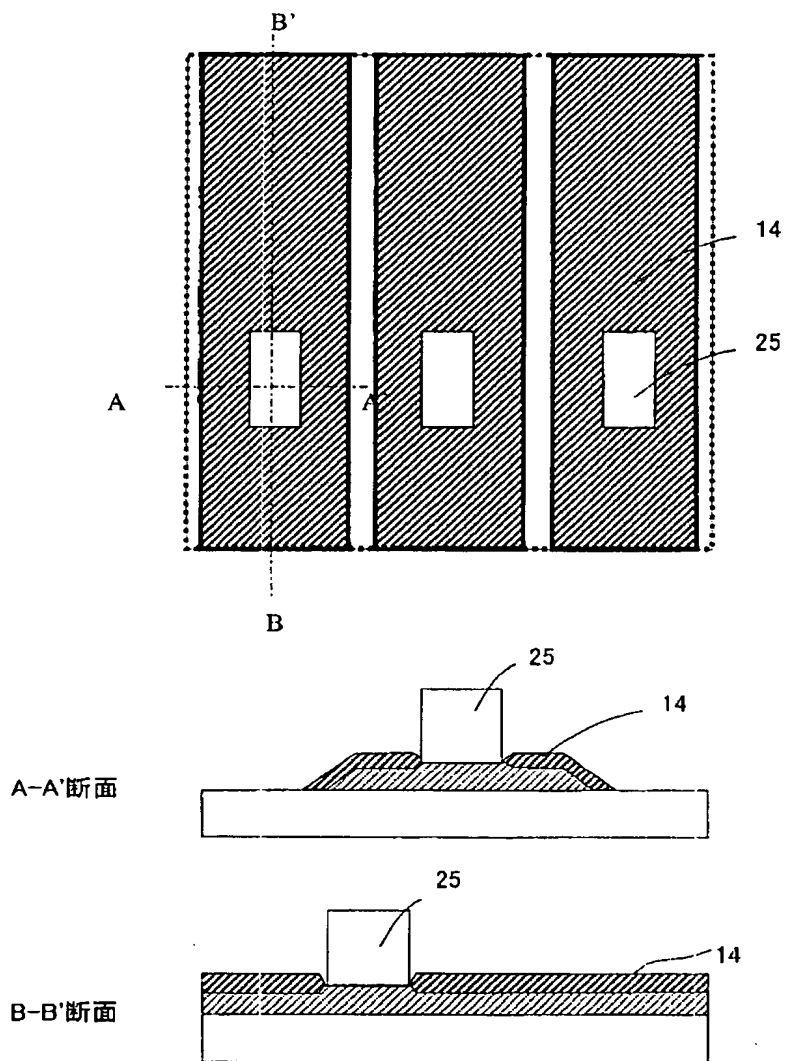
【図 4】

図4



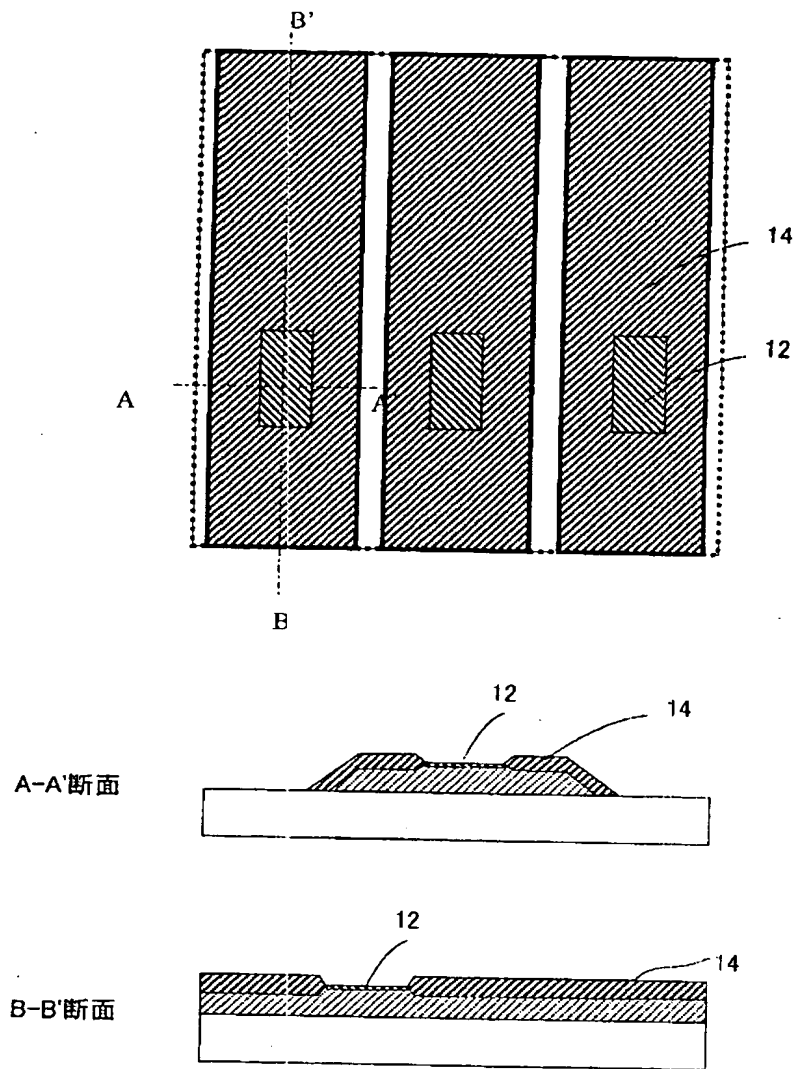
【図 5】

図5



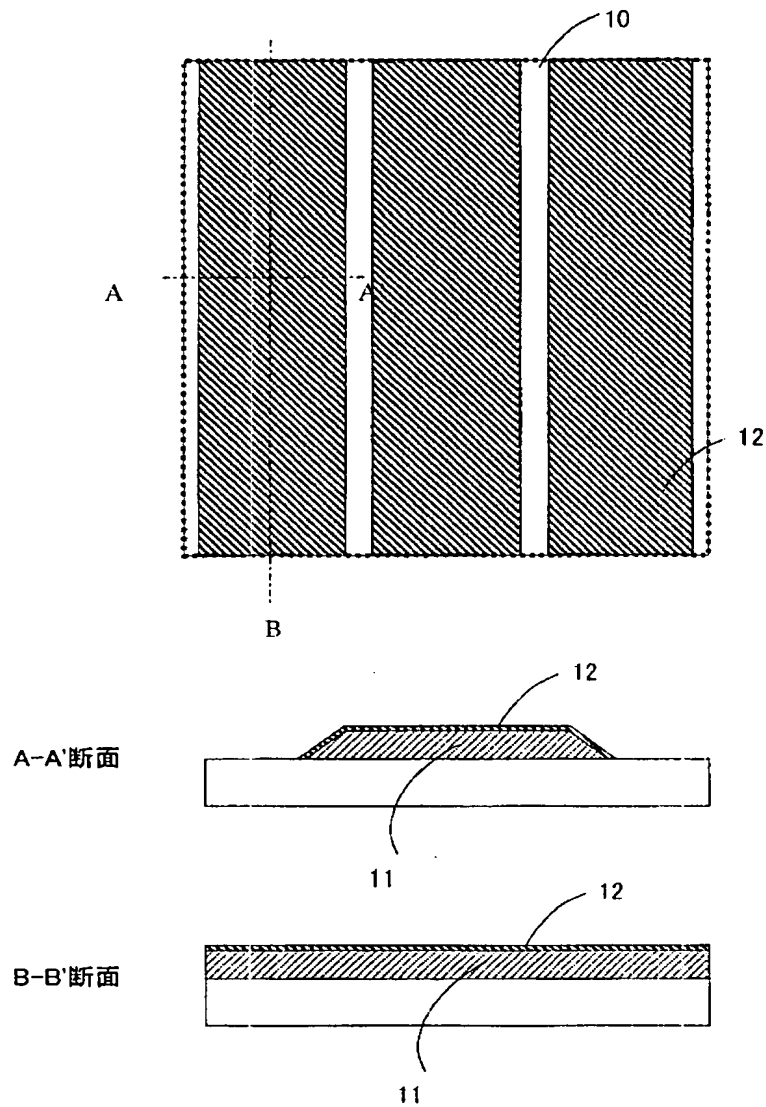
【図 6】

図6



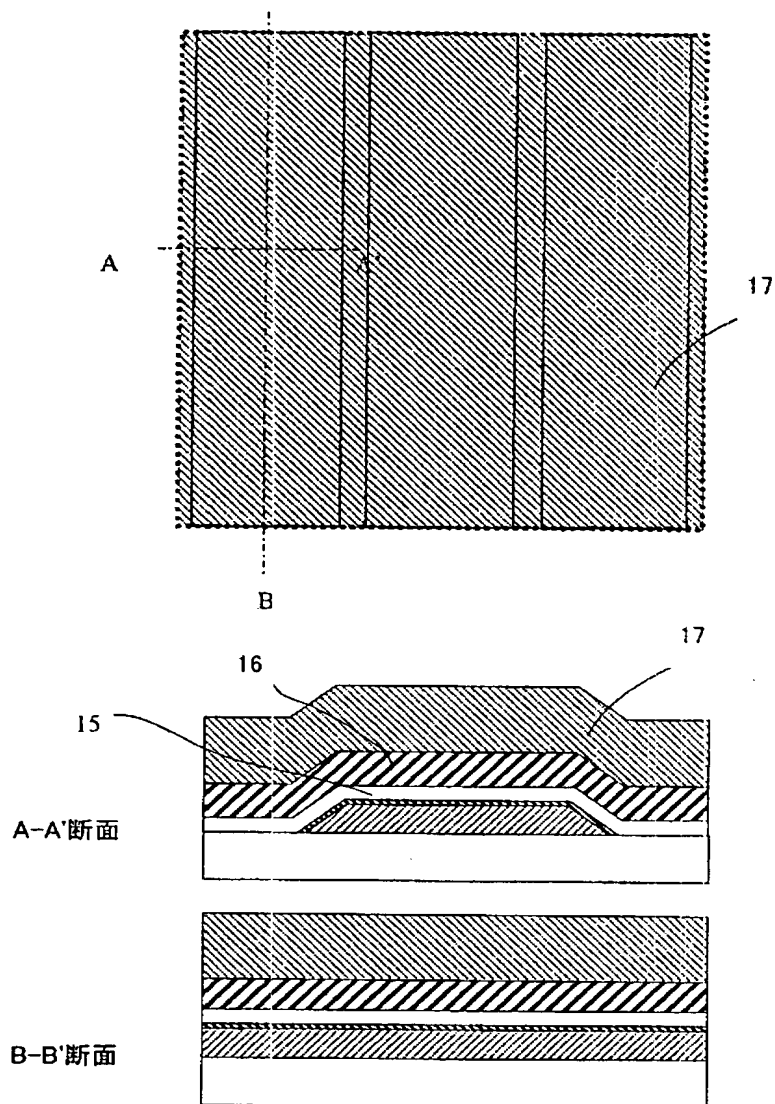
【図 7】

図 7



【図 8】

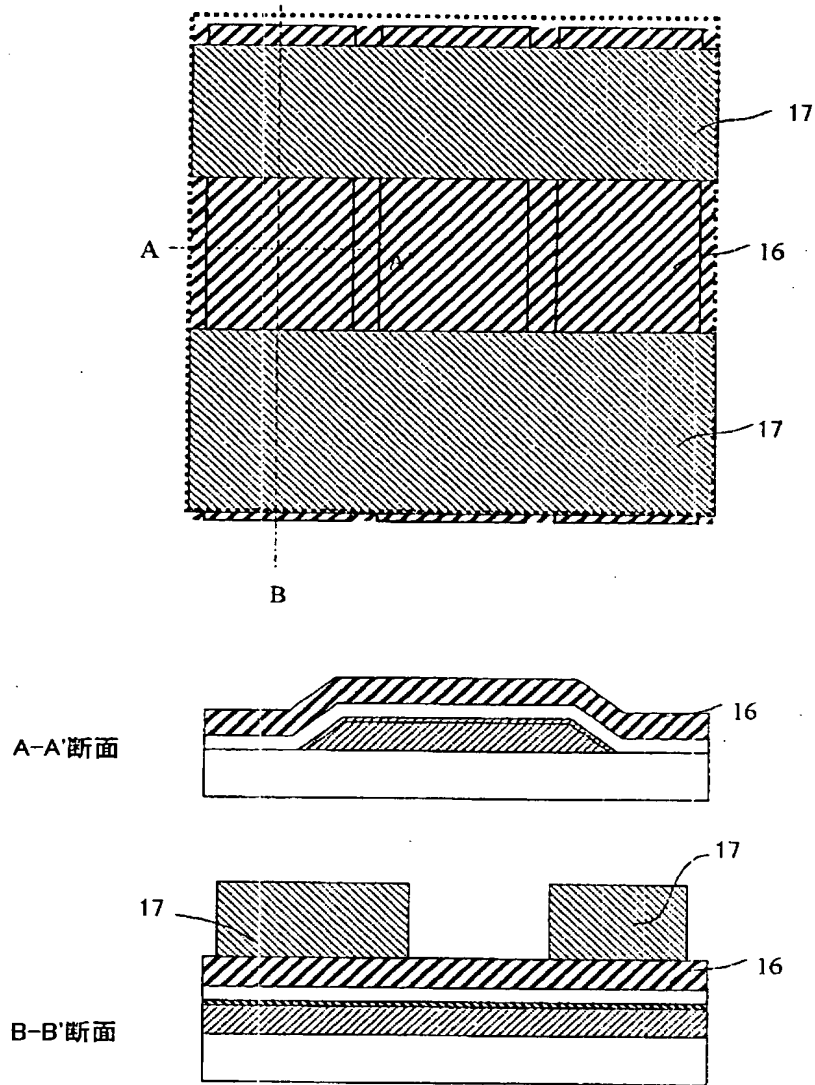
図 8





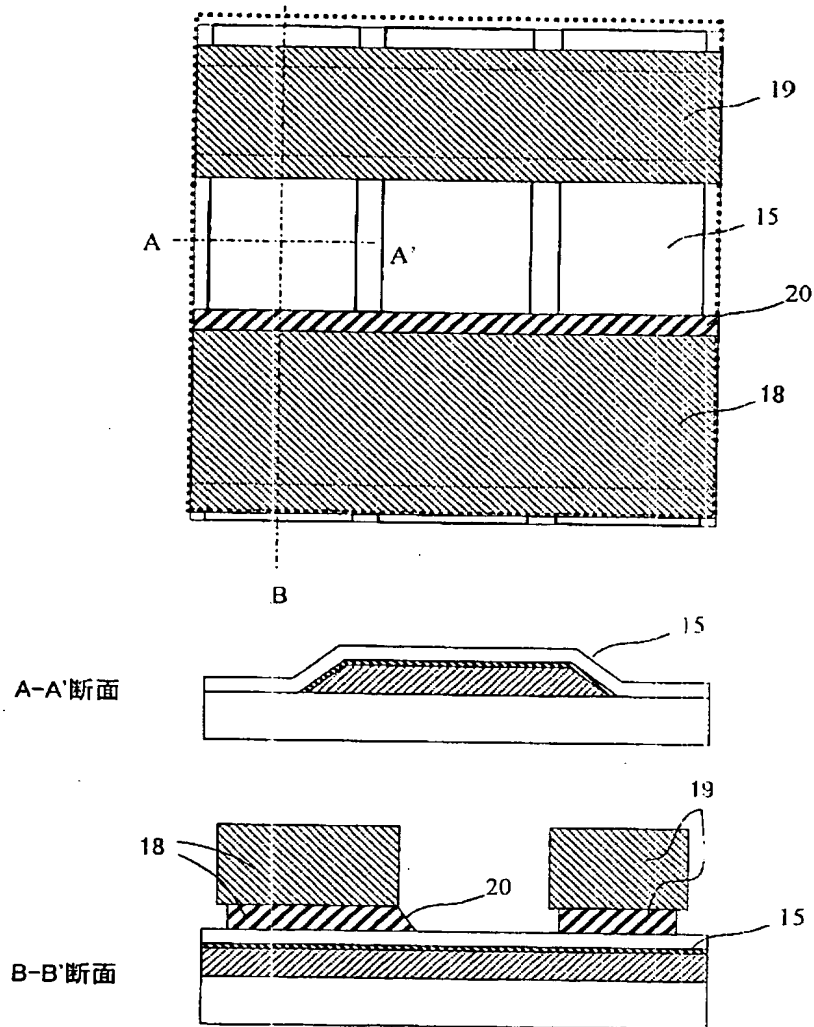
【図 9】

図9



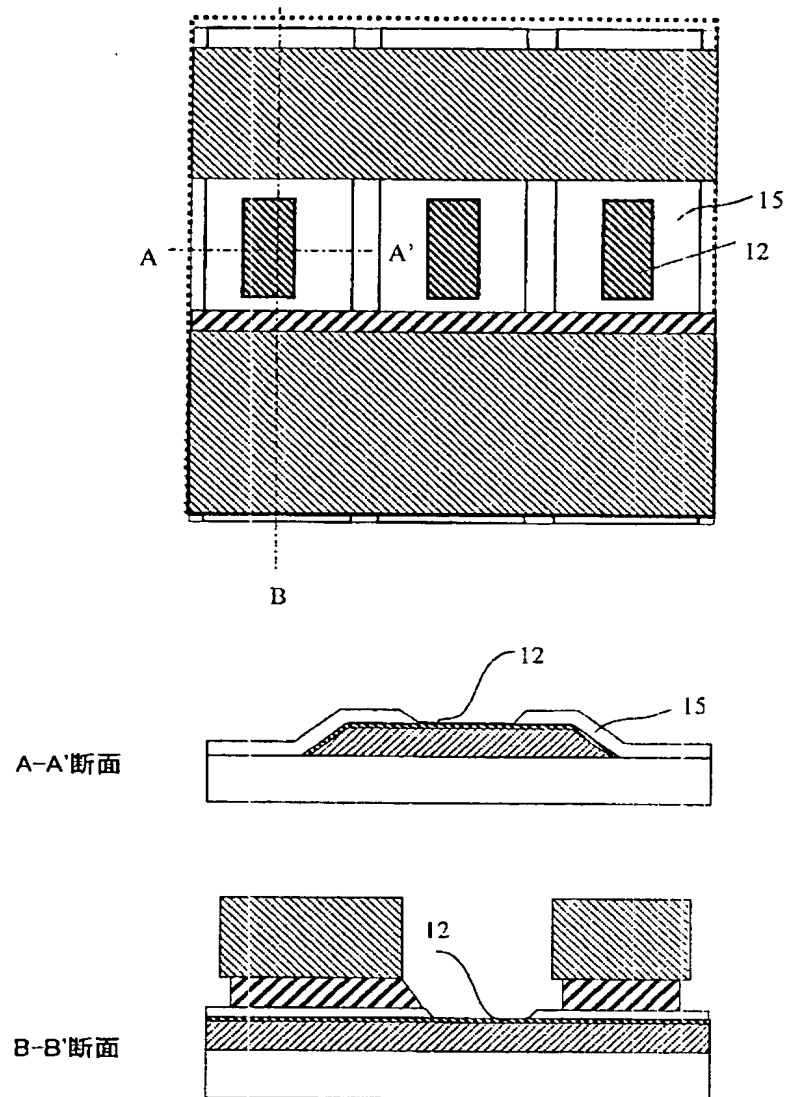
【図10】

図10



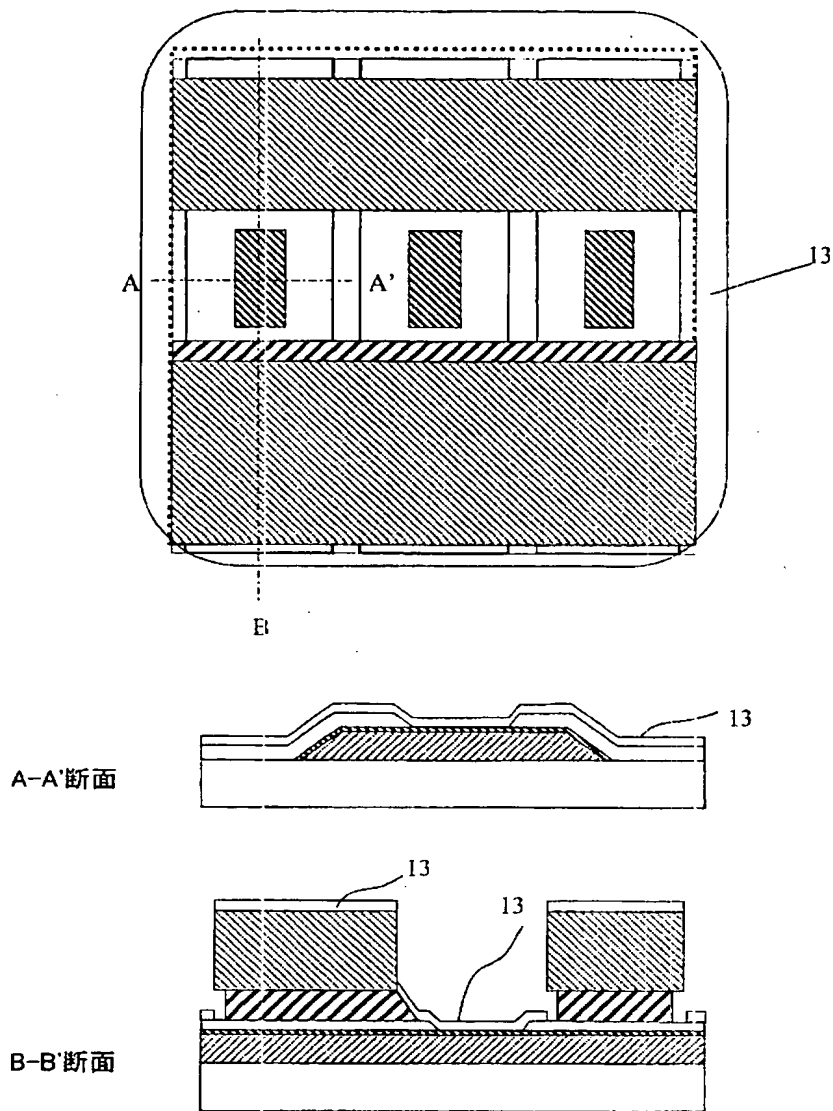
【図 11】

図11



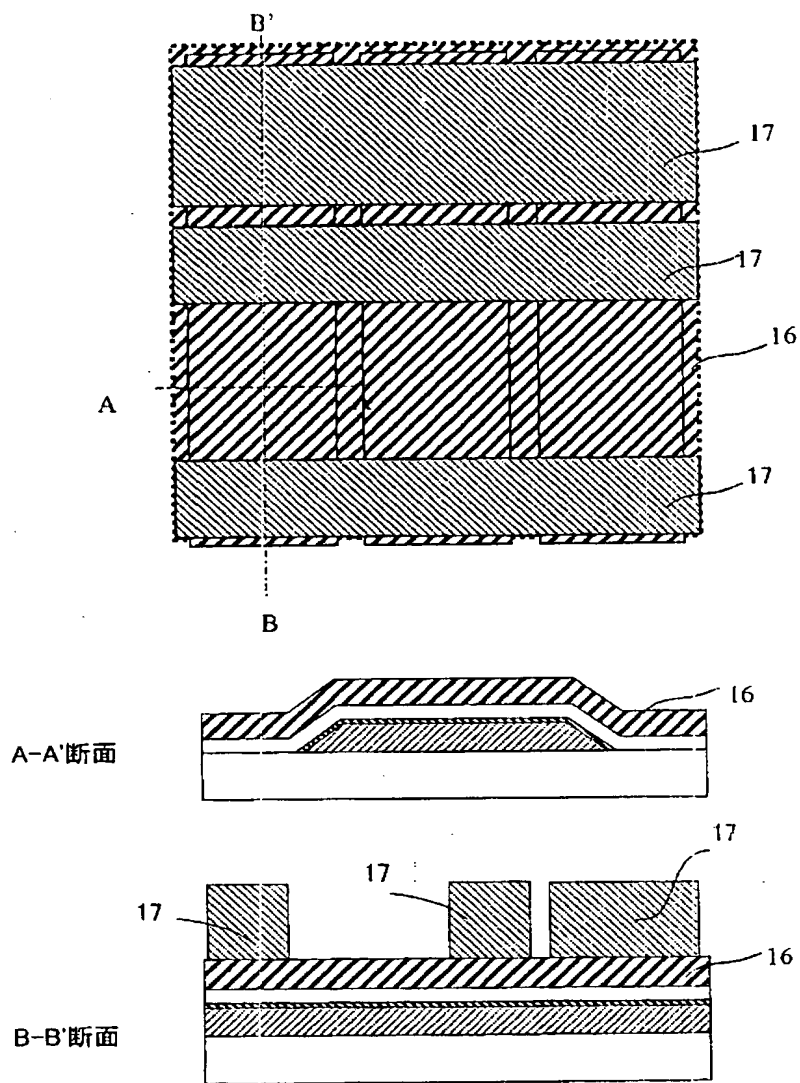
【図 12】

図12



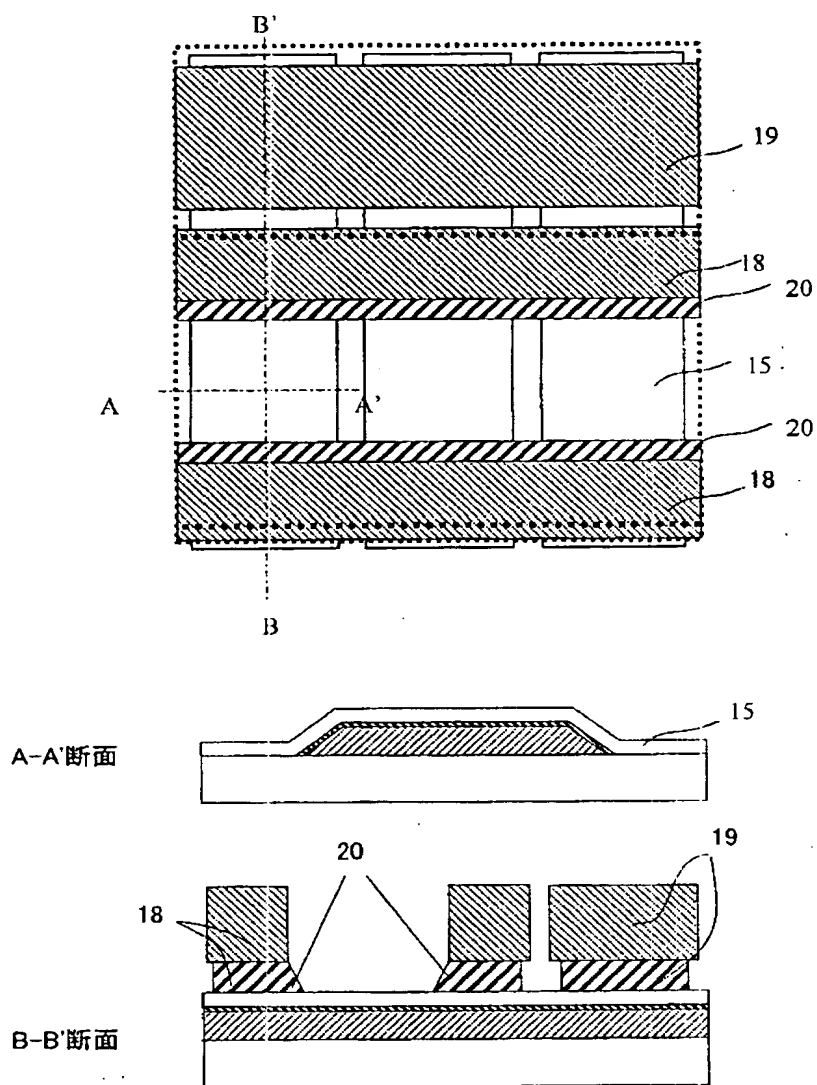
【図 13】

図13



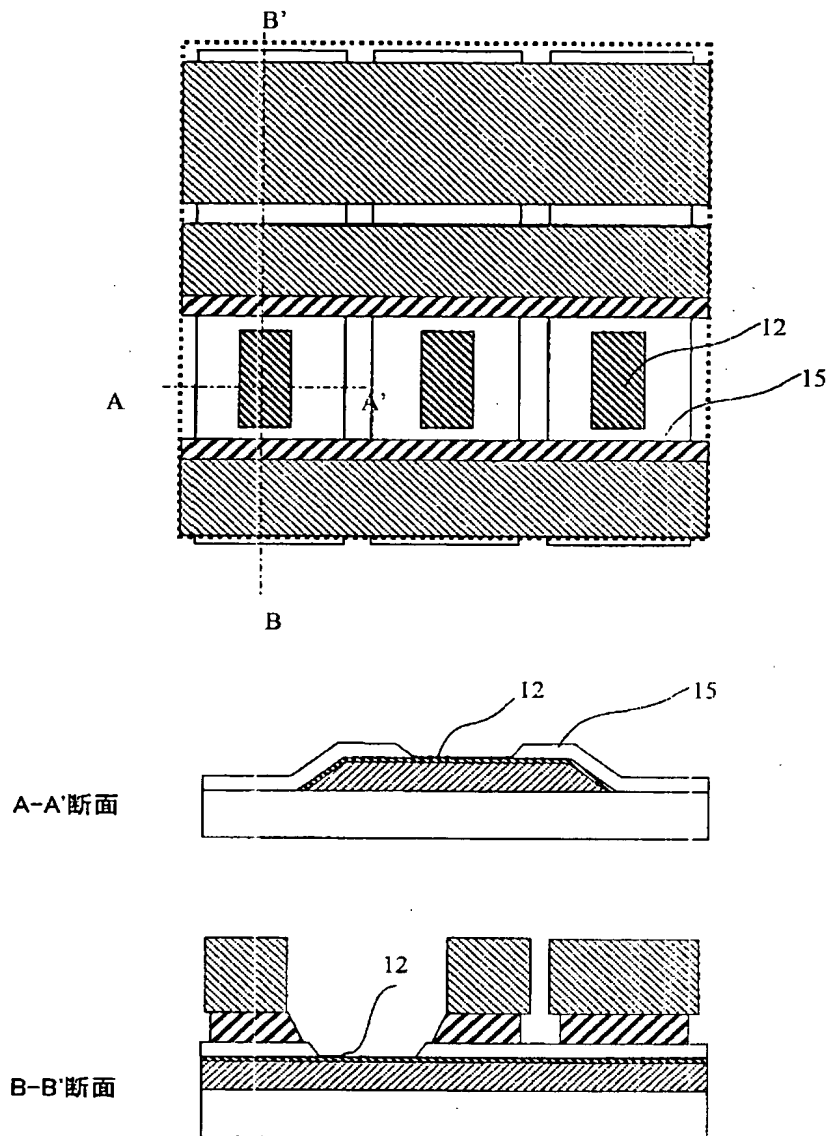
【図 14】

図14



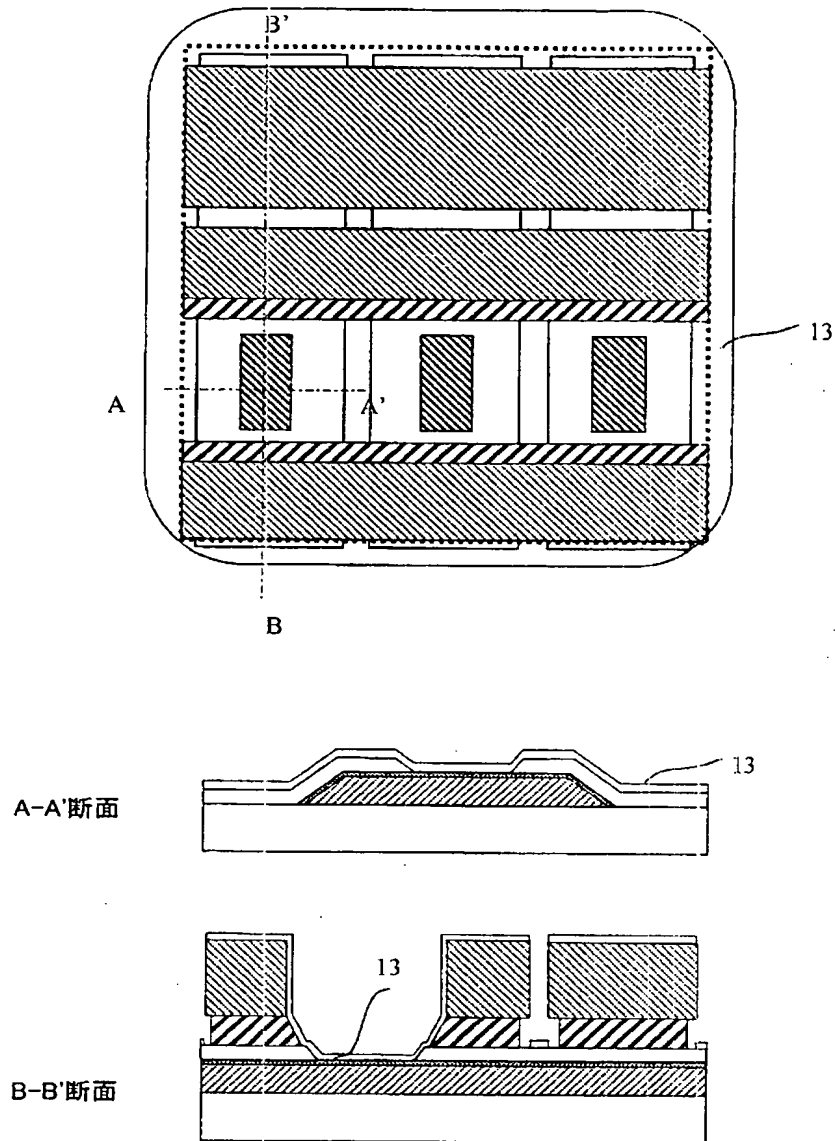
【図 15】

図15



【図 16】

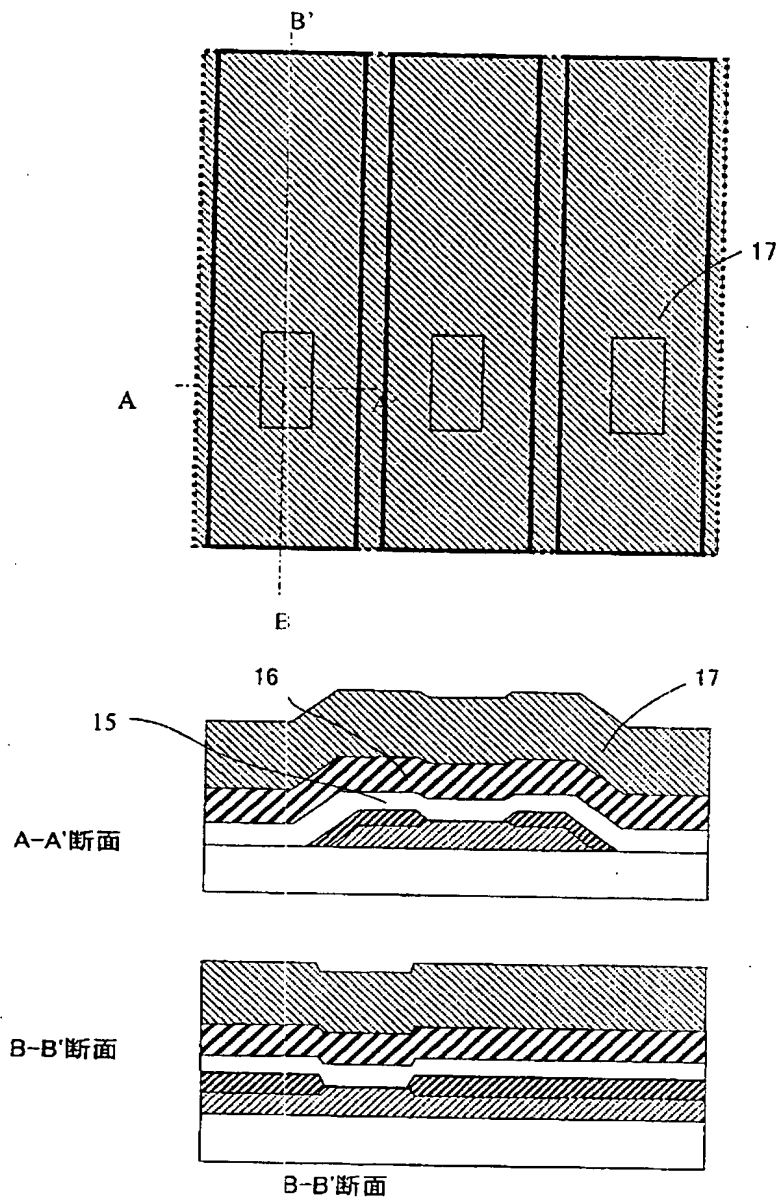
図16



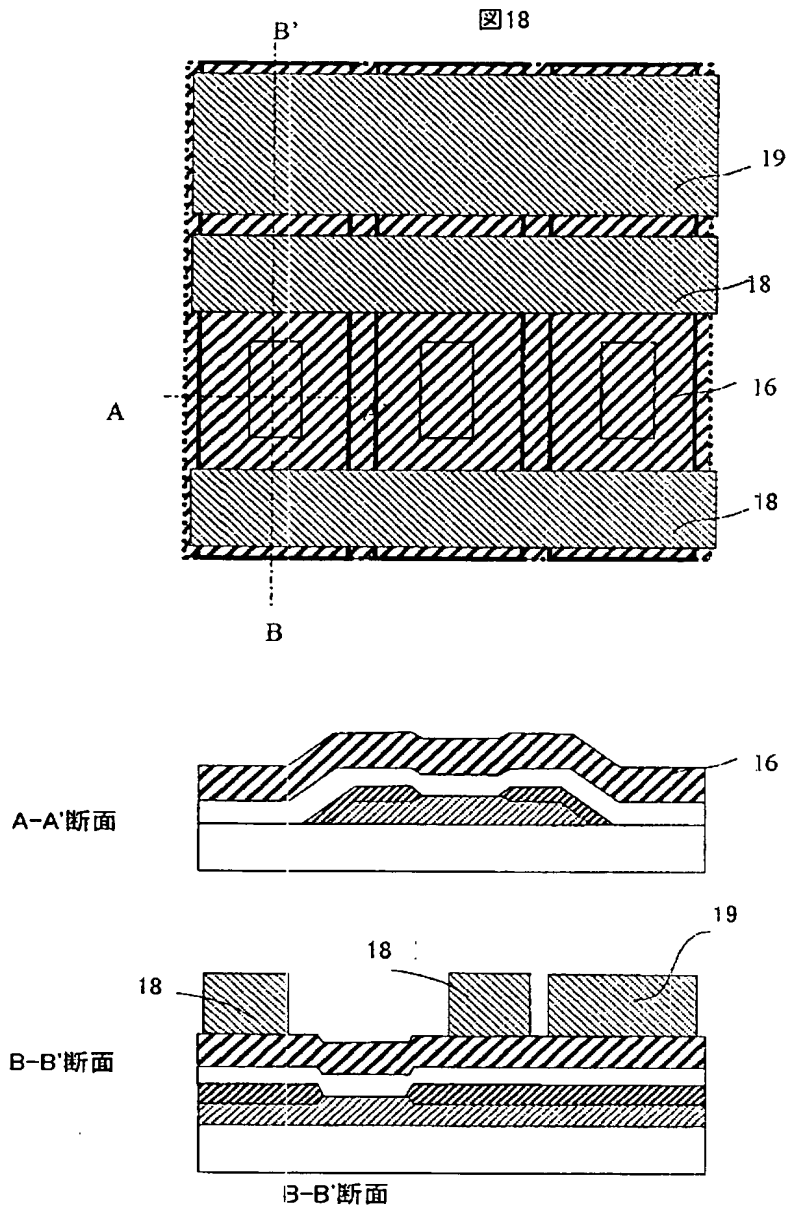


【図 17】

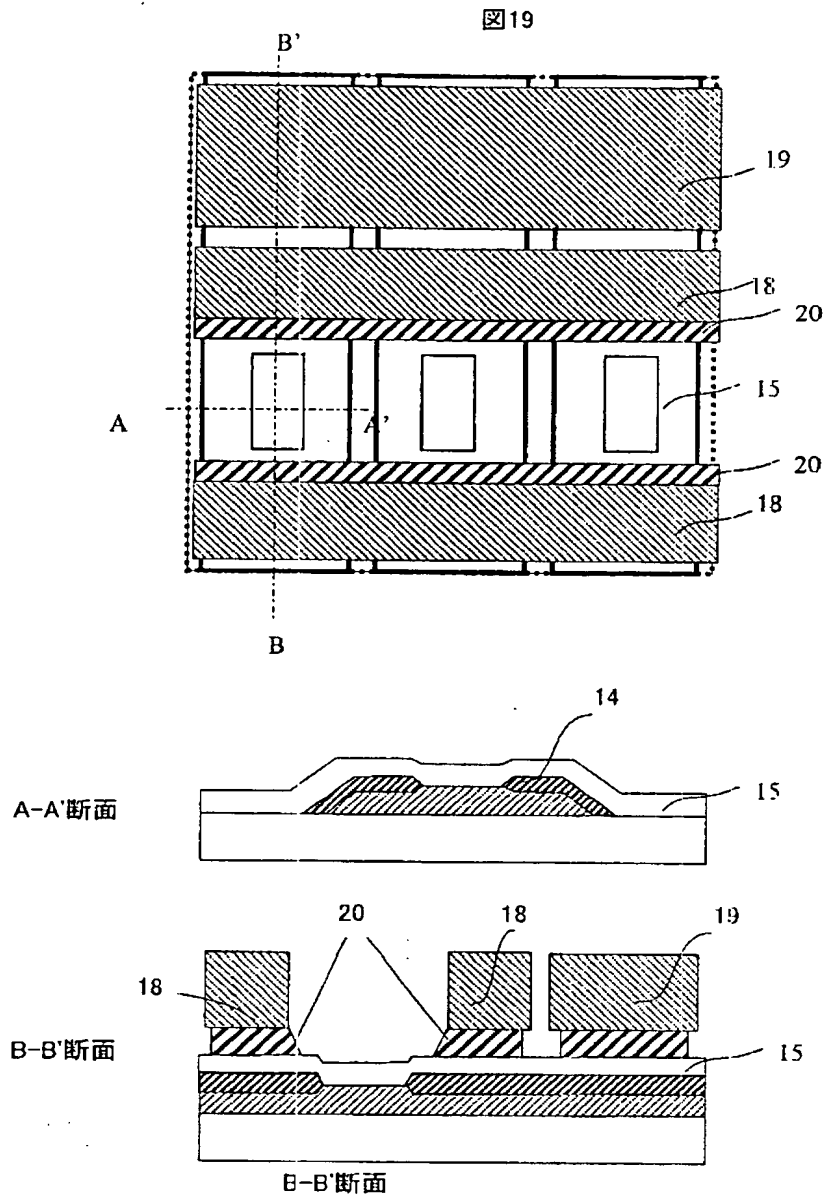
図17



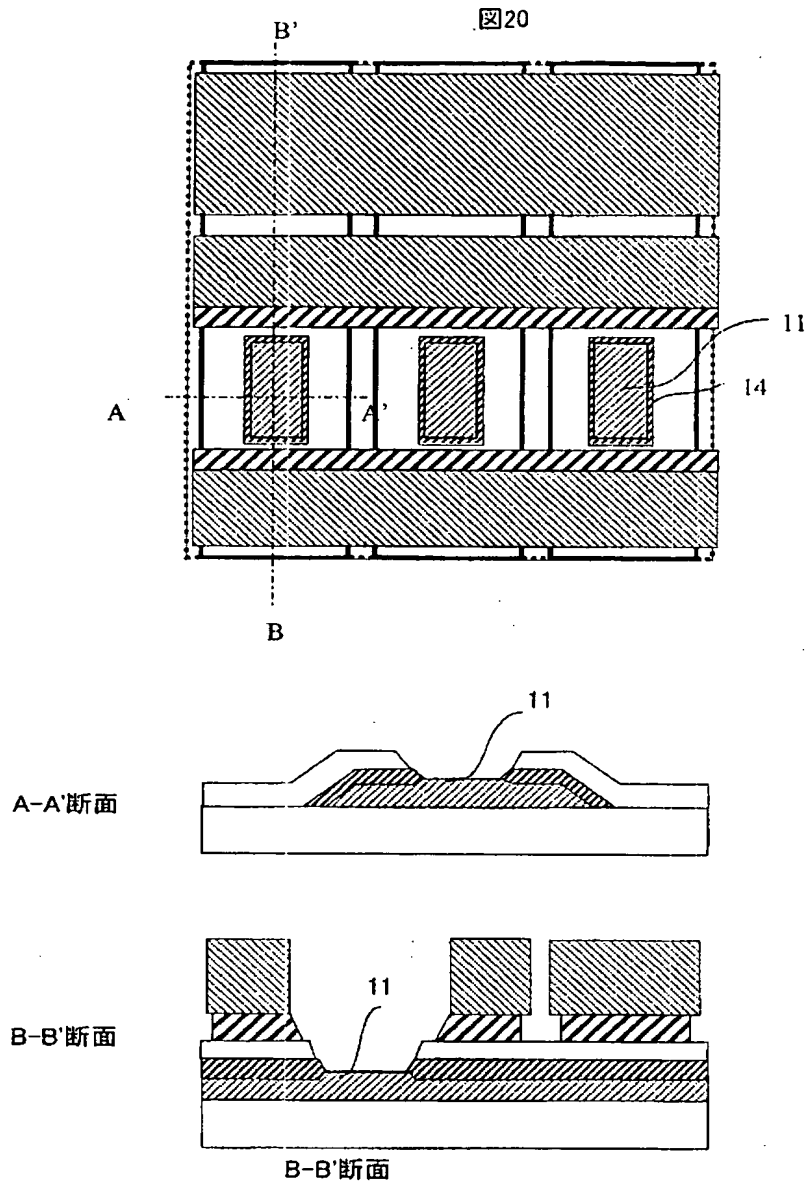
【図 18】



【図 19】

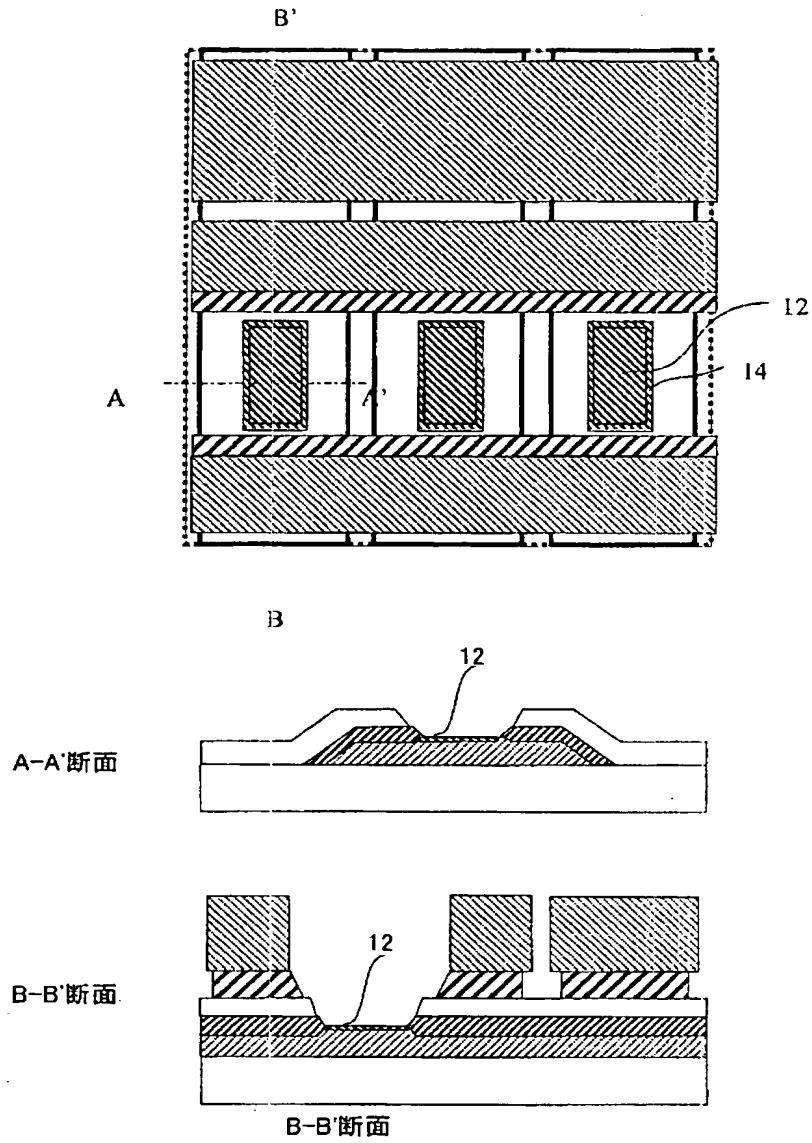


【図 20】



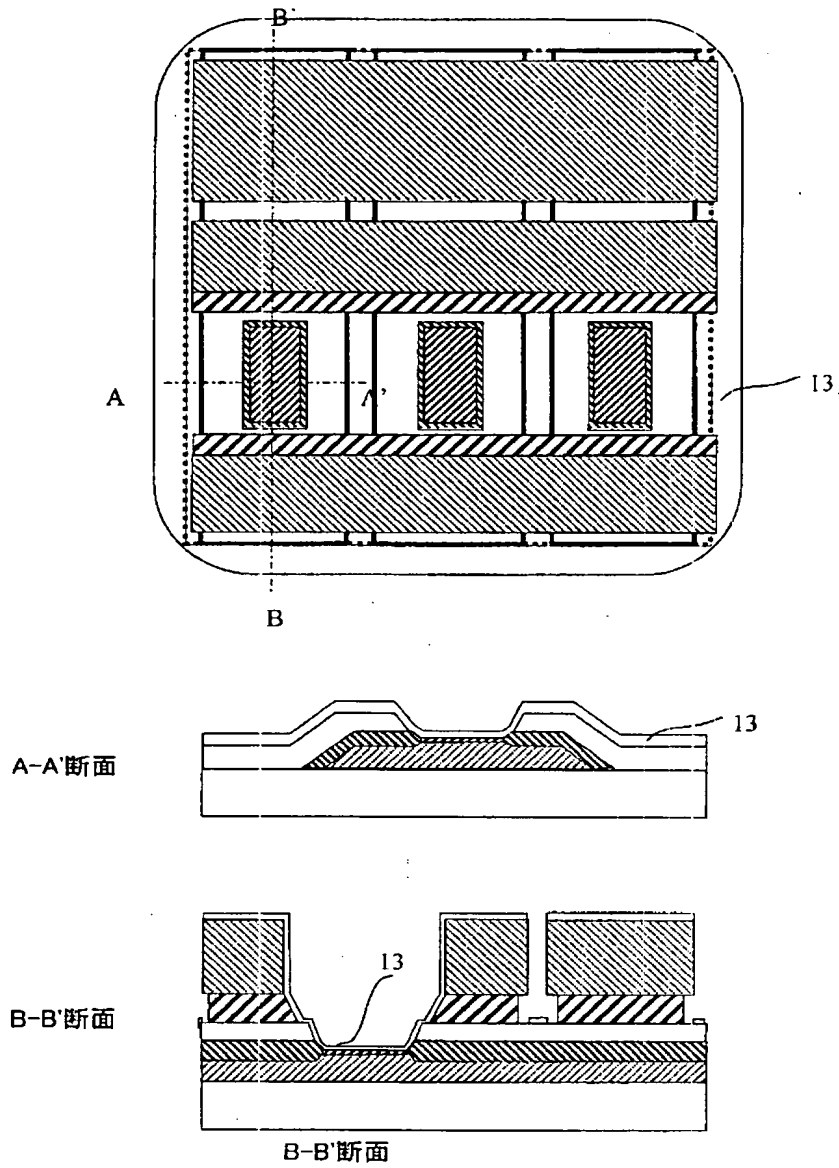
【図 21】

図21

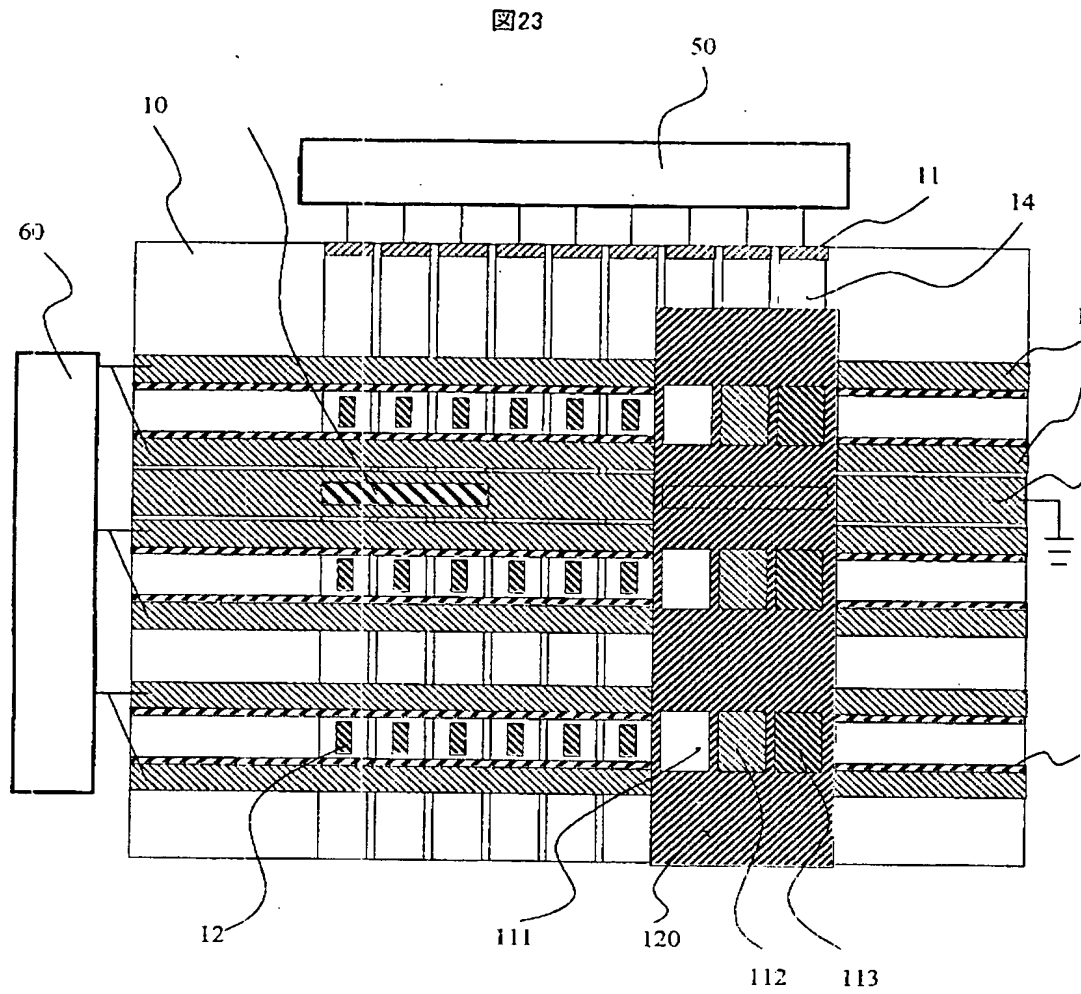


【図 22】

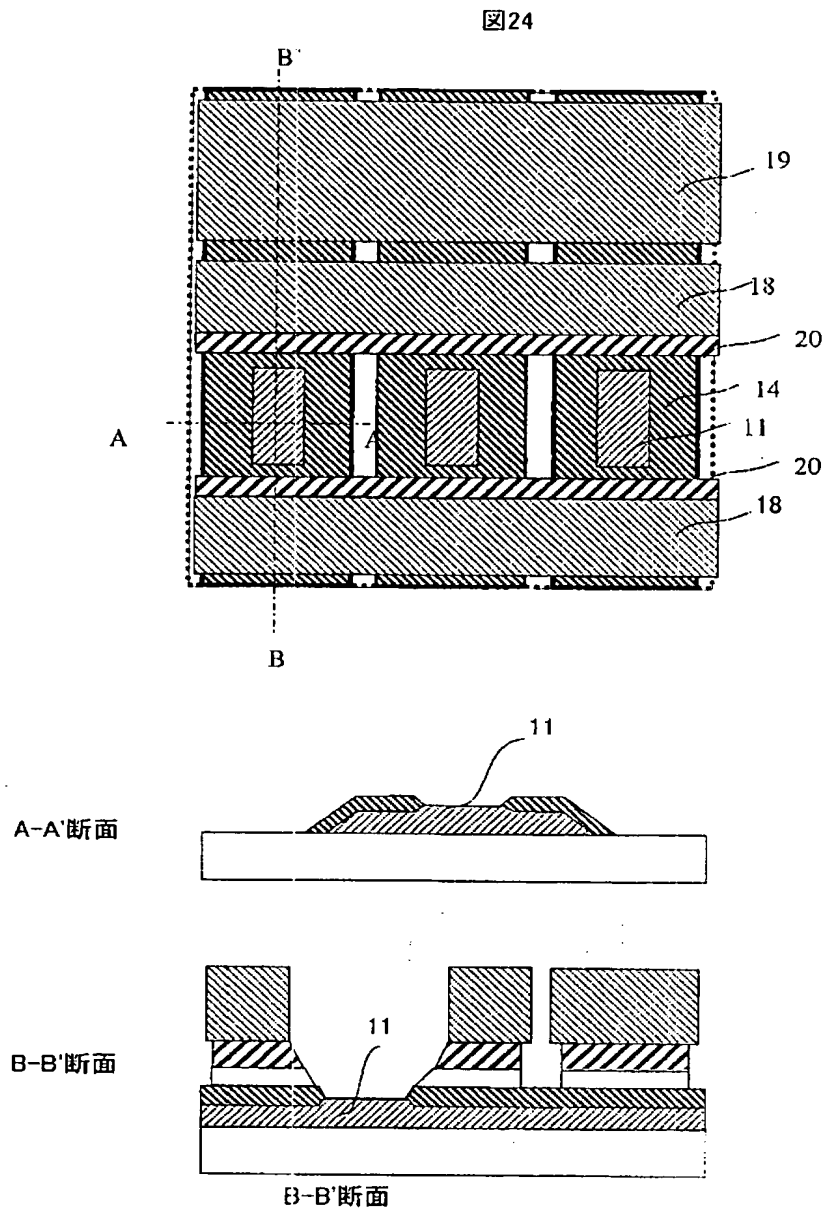
図22



【図 23】



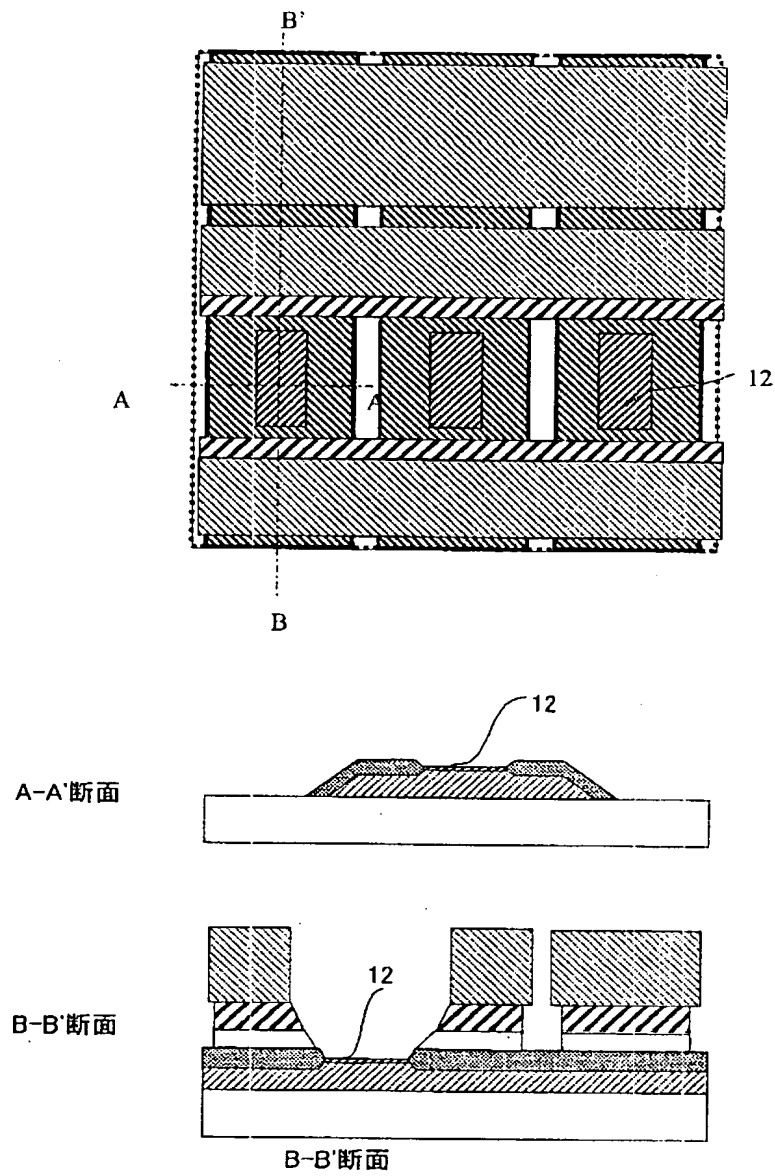
【図 24】





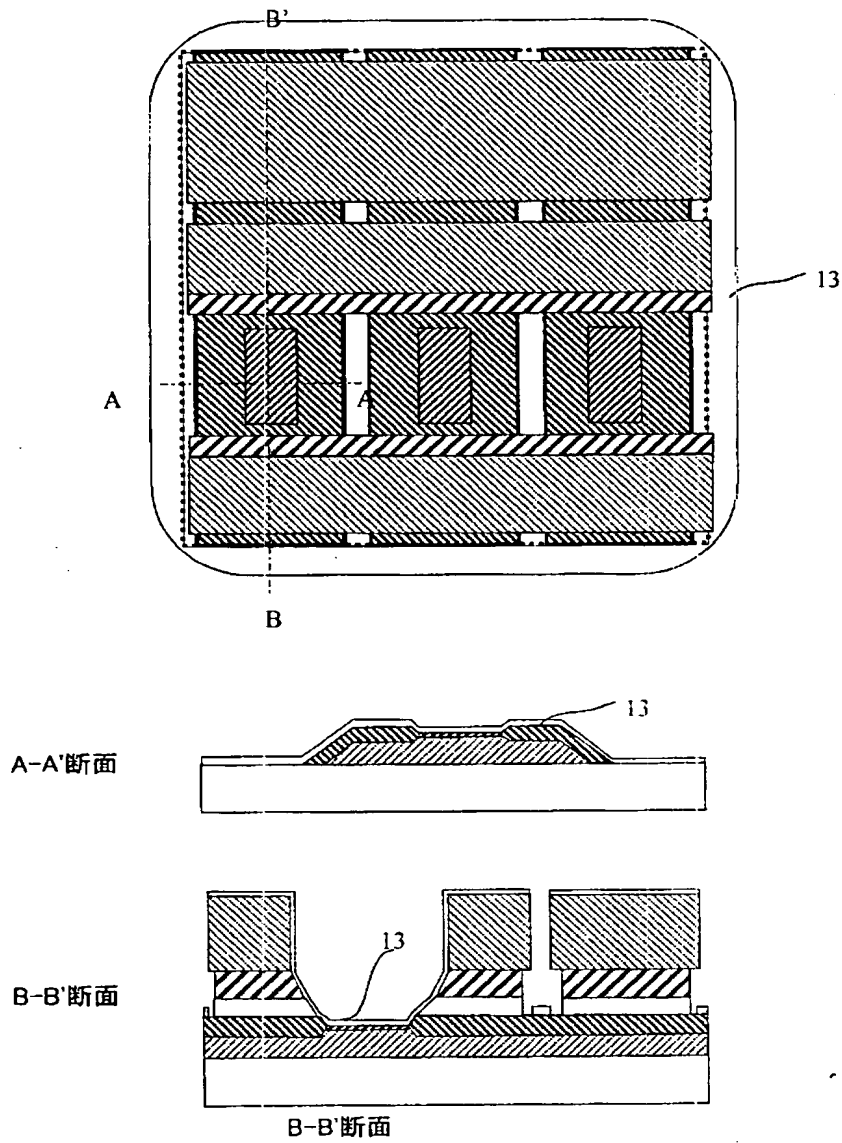
【図 25】

図25



【図 26】

図26



【書類名】 要約書

【要約】

【課題】 低コスト化に必要な簡易な構造と、上部電極の自己整合的な加工、スペーサを設置する構造を満たす電子源構造が必要であった。

【解決手段】 パターン精度の要求が低いストライプ電極を用いて、上部電極の自己整合分割、スペーサ線の作成を行うことにより、簡易な構造、プロセスを有する薄膜型電子源を用いた画像表示装置を実現する。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 5 8 5 5
受付番号	5 0 2 0 1 9 6 8 6 9 2
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 1 月 6 日

## &lt; 認定情報・付加情報 &gt;

【提出日】	平成14年12月26日
-------	-------------

次頁無

特願 2 0 0 2 - 3 7 5 8 5 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所